

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁷ H01L 23/498	(11) 공개번호 특2002-0049944
	(43) 공개일자 2002년06월26일
(21) 출원번호 10-2000-0079272	
(22) 출원일자 2000년12월20일	
(71) 출원인 주식회사 하이닉스반도체	
	경기 이천시 부발읍 아미리 산136-1
(72) 발명자 송주성	
	충청북도청주시흥덕구북대동세원노티마을105-601
(74) 대리인 강용복, 김용인	
심사청구 : 없음	
(54) 반도체 패키지 및 그 제조방법	

요약

본 발명은 반도체 패키지에 관한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

이를 위해, 본 발명은 칩(1)이 안착되는 다이패들(4)과, 상기 다이패들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되며 다이패들(4)이 노출되도록 하는 윈도우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8)를 봉지하는 몰드바디(7)를 포함하여서 됨을 특징으로 하는 반도체 패키지 및 그 제조방법이 제공된다.

대표도

도3

색인어

칩, 회로기판, 리드프레임

명세서

도면의 간단한 설명

- 도 1은 본 발명의 반도체 패키지를 나타낸 종단면도
- 도 2a 내지 도 2h는 본 발명의 패키지 제조 과정을 나타낸 것으로서,
- 도 2a는 본 발명 반도체 패키지 제조에 적용되는 회로기판을 나타낸 평면도
- 도 2b는 본 발명 반도체 패키지 제조에 적용되는 리드프레임을 나타낸 평면도
- 도 2c는 도 2b의 리드프레임 상부에 회로기판이 올려진 상태를 한 유니트를 예로 들어 나타낸 평면도
- 도 2d는 도 2c의 1-1선을 따른 종단면도
- 도 2e는 다이패 상면에 칩이 어태치된 상태를 나타낸 종단면도
- 도 2f는 와이어 본딩후의 상태를 나타낸 종단면도

도 2g는 봉지후의 상태를 나타낸 종단면도

도 2h는 트리밍 후의 상태를 나타낸 종단면도

도 3은 본 발명의 반도체 패키지가 마더보드에 실장된 상태를 나타낸 종단면도

도 4는 본 발명의 반도체 패키지가 스택된 상태를 나타낸 종단면도

· 도면의 주요부분에 대한 부호의 설명 ·

- | | |
|---------|--------|
| 1:칩 | 2:회로기판 |
| 3:리드프레임 | 4:다이패들 |
| 5:리드 | 6:와이어 |
| 7:몰드바디 | 8:본드핑거 |
| 9:비아홀 | 10:윈도우 |
| 11:마더보드 | 12:솔더 |

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 패키지 및 그 제조방법에 관한 것으로서, 더욱 상세하게는 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하기 위한 것이다.

일반적으로, 반도체 산업에서 집적회로에 대한 패키징 기술은 소형화에 대한 요구 및 실장 신뢰성을 만족시키기 위해 지금까지 계속 발전해오고 있다.

즉, 소형화에 대한 요구는 칩 스케일에 근접한 패키지에 대한 개발을 가속화시키고 있으며, 실장 신뢰성에 대한 요구는 실장작업의 효율성 및 실장후의 기계적·전기적 신뢰성을 향상시킬 수 있는 패키지 제조 기술에 대한 중요성을 부각시키고 있다.

한편, 일반적으로 반도체소자는 집적회로가 형성된 웨이퍼 상태에서 날개의 칩으로 각각 분리된 후, 이것을 플라스틱 패키지나 세라믹 패키지에 탑재하여 기판에의 실장이 용이하도록 조립하는 패키징 공정을 거치게 된다.

이와 같이 행해지는 반도체소자에 대한 패키징 공정의 주목적은 기판이나 소켓에 실장하기 위한 형상의 확보와 기능보호에 있다고 할 수 있다.

또한, 최근에는 집적회로의 고집적화에 따라 다핀화, 미세조립기술, 또 실장형태의 다양화에 따른 패키지의 다종류화 등, 조립공정과 관련된 기술도 각각 세분된 분야에 따라 크게 변화하고 있다.

반도체 조립공정의 개요에 대해 현재 가장 많이 사용되고 있는 플라스틱 타입의 반도체소자를 예로 들어 설명하면 다음과 같다.

먼저, 전기적 회로가 형성된 웨이퍼를 각각의 단일 칩으로 분리하는데, 이때 Si(실리콘)는 모스경도 7로서 딱딱하고 깨지기 쉬운 성질을 갖고 있으므로 웨이퍼의 제조시 미리 분리할 라인에 절단하기 위한 물질을 넣어두고 이 분리라인을 따라 브레이크 용력을 가해 파괴, 분리시키는 방법을 취하는 경우가 많다.

또한, 분리된 각각의 반도체 칩은 리드프레임의 다이패들에 본딩되고, 이때의 접합방법은 Au-Si 공정(共晶)법, 납땜법, 수지접착법 등이 있으며 용도에 따라 알맞은 방법이 선택되어 사용된다.

한편, 전술한 바와 같이 반도체 칩을 리드프레임의 다이패들에 접착하는 목적은 조립이 완료된 후 기판에 실장시키기 위해서 뿐만 아니라, 전기적 입출력단자나 어스(earth)를 겸하는 일도 있으며 소자의 동작시 발생하는 열의 방열통로로서도 필요로 하는 경우가 있기 때문이다.

상기와 같이 반도체 칩을 본딩한 후에는 칩의 본딩패드와 리드프레임의 인너리드를 와이어로 본딩함으로써 연결하게 되며, 와이어 본딩의 방법으로 플라스틱 봉합 패키지에서는 일반적으로 골드 와이어를 사용한 열압착법 또는 열압착법과 초음파법을 혼용한 방법이 주로 이용되고 있다.

또한, 와이어 본딩에 의해 반도체 칩과 인너리드가 전기적으로 연결된 후에는 칩을 고순도의 에폭시 수

지를 사용하여 성형 통합함으로써 몰드바디를 형성시키는 몰딩공정이 수행되는데, 이때 사용되는 에폭시 수지는 집적회로의 신뢰성을 좌우하는 중요한 요소이며, 수지의 고순도화와 몰딩시 집적 회로에 주어지는 응력을 저감시키기 위한 저응력화 등의 개선이 추진되고 있다.

그리고, 상기한 공정이 완료된 후에는 IC 패키지를 소켓이나 기판에 실장하기 위해 아웃터리드(outer lead)를 소정의 형상으로 절단하고 성형하는 공정이 행해지며, 아웃터리드에는 실 장접합성(납땜성)을 향상시키기 위해 도금이나 납땜(dip)이 처리된다.

한편, 반도체 패키지는 실장형태 및 리드형태에 따라 여러 가지 유형으로 나뉘는데, 패키지의 대표적인 예로서는 전술한 DIP(Dual Inline Package)외에 QFP(Quad Flat Package), TSOP(Thin Small Outline Packag), BGA 패키지(Ball Grid Array package), BLP(Bottom Leded Package) 등이 있으며, 계속 다핀(多-pin)화 또 는 경박단소(輕薄短小)화 되고 있다.

상기한 패키지 타입중, BGA 패키지(Ball Grid Array package)는 반도체 칩이 부착된 기판의 이면에 구형 의 솔더볼을 소정의 상태로 배열(Array)하여 아웃터리드(outer lead) 대신으로 사용하게 되며, 상기 BGA 패키지는 패키지 몸체(Package Body) 면적을 QFP(Quad Flat Package) 타입보다 작게 할 수 있으며, QFP와는 달리 리드의 변형이 없는 장점이 있다.

대신, 상기 BGA 패키지는 기존의 리드프레임에 비해 값이 비싼 회로기판을 사용하므로 제조원가가 높아지고, 반도체 칩 및 골드 와이어의 보호를 위해 봉지공정 수행시 상형 및 하형에 의해 회로기 판이 눌러져 솔더마스크에 크랙이 발생할 우려가 높아지는 등의 단점이 있다.

한편, BLP(Bottom Leded Package)는 패키지 몸체의 바텀면을 통해 노출된 리드를 이용하여 기판 에 실장하므로, 패키지 몸체의 두께를 아웃터리드를 갖는 DIP나 QFP 타입에 비해 작게 할 수 있다.

그리고, 최근에는 μ -BGA등 반도체 패키지의 개발이 가속화되고 있으며, 상기한 각 반도체 패키지들은 실장면적, 입출력 단자수, 전기적 신뢰성, 제조공정의 유연성, 제조비용등에 있어 제각기 장점 및 단점을 갖 고 있다.

따라서, 상기한 각 패키지들의 장점을 살리면서 단점을 해소한 새로운 타입의 반도체 패키지가 지속적 으로 연구 개발되고 있는 실정이다.

발명이 이루고자하는 기술적 과제

본 발명은 상기한 바와 같이 기존의 반도체 패키지가 갖는 장점을 최대한 살리면서 단점을 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것으로서, 회로기판과 리드프레임을 접목시킨 형태의 기판을 이용함으로써 공정의 단순화를 도모함과 더불어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위해, 본 발명은 칩이 안착되는 다이패들과, 상기 다이패들 주위에 배치되 는 리드와, 상기 리드 상면에 부착되며 다이패들이 노출되도록 하는 윈도우와 와이어 본딩을 위한 본드 핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과, 상기 칩의 본딩패드와 회로기판 의 본드핑거를 전기적으로 연결하는 와이어와, 상기 칩과 와이어 및 본드핑거를 봉지하는 몰드바디를 포함하여서 됨을 특징으로 하는 반도체 패키지가 제공된다.

상기한 목적을 달성하기 위한 본 발명의 다른 형태에 따르면, 다이패들 및 리드를 구비한 리드프레 임 상면에 다이패들 노출을 위한 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위 한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와, 상기 다이패들 상면에 칩을 부착하는 단 계와, 상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와, 상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 몰드바디를 형성하는 단계와, 상기 회로기판 스트립 및 리드프레임으로부터 각 유닛이 분리되도록 트리밍하는 단계를 포함하여서 됨을 특징으로 하는 반도체 패키지 제조방법이 제공된다.

이하, 본 발명의 실시예를 첨부도면 도 1 내지 도 4를 참조하여 설명하면 다음과 같다.

도 1은 본 발명의 반도체 패키지를 나타낸 종단면도로서, 칩(1)이 안착되는 다이패들(4)과, 상기 다이패 들(4) 주위에 배치되는 리드(5)와, 상기 리드(5) 상면에 부착되며 다이패들(4)이 노출되도록 하는 윈도 우(10)와 와이어 본딩을 위한 본드핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기 판(2)과, 상기 칩(1)의 본딩패드와 회로기판(2)의 본드핑거(8)를 전기적으로 연결하는 와이어(6)와, 상기 칩(1)과 와이어(6) 및 본드핑거(8) 봉지하는 몰드바디(7)를 포함하여 구성된다.

이 때, 회로기판(2)의 비어홀(9) 영역에는 비어홀(9)과 리드(5)가 접합되어 전기적으로 연결되도록 하는 솔더(12)가 도포된다.

한편, 상기 리드(5)와 회로기판(2) 사이 및, 다이패들(4)과 칩(1) 사이에는 어드헤시브가 개재되며, 상기 어드헤시브로서는 접착테이프 또는 에폭시가 사용된다.

한편, 상기 다이패들(4)은 회로기판(2)에 부착되는 타이바에 의해 지지되며, 몰드바디(7) 외측으로 노출된다.

이와 같이 구성된 본 발명 패키지의 제조 과정을 도 2a 내지 도 2h를 참조하여 설명하면 다음과 같다.

먼저, 도 2a에 도시된 바와 같이, 다이패들(4)이 노출되도록 하는 윈도우(10)와 와이어 본딩을 위한 본드 핑거(8) 및 리드(5)와의 전기적 접속을 위한 비어홀(9)이 구비된 회로기판(2)을 준비한다.

이와 더불어, 도 2b에 도시된 바와 같이, 다이패들(4)과 이를 지지하기 위한 타이바 및 상기 다이패들(4) 주위에 배치되는 리드(5)를 구비한 리드프레임(3)을 준비한다.

이 때, 리드(5)들에는 리드 록 테이프(13)가 부착되어 있다.

이와 같이 회로기판 스트립(200) 및 리드프레임(3)이 준비된 상태에서, 도 2c 및 도 2d에 나타난 바와 같이 리드프레임(3) 상부면에 회로기판 스트립(200)을 부착한다.

그 후, 도 2e에 나타난 바와 같이, 상기 다이패들(4) 상면에 칩(1)을 어태치하고, 이어 도 2f에서와 같이 칩(1)의 본딩패드와 회로기판(2)의 본드 핑거(8)를 골드와이어(6) 등으로 연결하는 와이어 본딩을 실시한다.

그 다음, 도 2g에 나타난 바와 같이, 칩(1)과 와이어(6)와 본드 핑거(8)를 봉지제로써 봉지하여 몰드바디(7)를 형성한다.

상기, 몰드바디(7)는 트랜스퍼 몰딩에 의해 수행가능하며, 이 때 상기 다이패들(4) 저면은 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 겸하게 된다.

한편, 몰드바디(7) 형성후에는, 도 2h에 나타난 바와 같이 트리밍하여 리드를 리드프레임으로부터 분리 시킴과 동시에 개별 유니트별로 분리하므로써 반도체 패키지를 완성하게 된다

상기와 같이 제조된 본 발명의 반도체 패키지는 마더보드(11)등의 실장시, 도 3에 나타난 바와 같이 트리밍된 비어홀(9) 영역에 솔더(12)를 도포하여 비어홀(9)과 리드(5)가 전기적으로 접속되도록 한 상태에서 실장하게 된다.

이와 같이 제조된 본 발명의 반도체 패키지는 리드프레임(3)을 사용하므로써 구조적으로 강하고, 리드(5)가 기판에 직접 접합되므로 접합 신뢰성이 향상된다.

한편, 회로기판 스트립(200)과 리드프레임(3)을 단순 접합 후 와이어 본딩 및 몰딩을 이용하는 간단한 공정에 의해 제조하며, 스트립 상태에서 전공정을 끝낸 후 날개로 분리하기 때문에 제조시간을 단축시킬 수 있게 된다.

또한, 본 발명의 패키지는 다이패들(4) 저면이 몰드바디(7) 외측으로 노출되어 히트싱크 역할을 함에 따라, 열방출 성능이 향상된다.

한편, 본 발명의 반도체 패키지는 도 4에 도시한 바와 같은 형태로 스택 패키지를 구현할 수 있게 된다.

발명의 효과

이상에서와 같이, 본 발명은 기존의 반도체 패키지가 갖는 장점을 최대한 살리면서 단점은 해소한 새로운 타입의 반도체 패키지를 제공하기 위한 것이다.

즉, 본 발명은 회로기판과 리드프레임을 접목시킨 형태의 기판으로써 공정의 단순화를 도모함과 더불어 어 보드 레벨의 신뢰성을 확보할 수 있는 새로운 구조의 반도체 패키지를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

칩이 안착되는 다이패들과,

상기 다이패들 주위에 배치되는 리드와,

상기 리드 상면에 부착되며 다이패들이 노출되도록 하는 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판과,

상기 칩의 본딩패드와 회로기판의 본드핑거를 전기적으로 연결하는 와이어와,

상기 칩과 와이어 및 본드핑거를 봉지하는 몰드바디를 포함하여서 됨을 특징으로 하는 반도체 패키지.

청구항 2

제 1 항에 있어서,

상기 회로기판의 비어홀 영역에 도포되어 상기 비어홀과 리드가 전기적으로 연결되도록 하는 솔더가 포함됨을 특징으로 하는 반도체 패키지.

청구항 3

제 1 항에 있어서,

상기 리드와 회로기판 사이 및, 다이패들과 칩 사이에는 어드헤시브가 개재됨을 특징으로 하는 반도체 패키지.

청구항 4

제 3 항에 있어서,

상기 어드헤시브는 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지.

청구항 5

제 1 항에 있어서,

상기 다이패들 저면은 몰드바디 외측으로 노출됨을 특징으로 하는 반도체 패키지.

청구항 6

제 1 항에 있어서,

상기 몰드바디는 트랜스퍼 몰딩에 의해 형성됨을 특징으로 하는 반도체 패키지.

청구항 7

다이패들 및 리드를 구비한 리드프레임 상면에 다이패들 노출을 위한 윈도우와 와이어 본딩을 위한 본드핑거 및 리드와의 전기적 접속을 위한 비어홀이 구비된 회로기판 스트립을 부착하는 단계와,

상기 다이패들 상면에 칩을 부착하는 단계와,

상기 칩의 본딩패드와 회로기판의 본드핑거를 와이어를 이용하여 전기적으로 연결하는 단계와,

상기 칩과 와이어 및 본드핑거를 봉지제로 봉지하여 몰드바디를 형성하는 단계와,

상기 회로기판 스트립 및 리드프레임으로부터 각 유닛이 분리되도록 트리밍하는 단계를 포함하여서 됨을 특징으로 하는 반도체 패키지 제조방법.

청구항 8

제 7 항에 있어서,

상기 어드헤시브는 열전도성 접착테이프 또는 에폭시임을 특징으로 하는 반도체 패키지 제조방법.

청구항 9

제 7 항에 있어서,

몰드바디를 형성하는 단계는 트랜스퍼 몰딩에 의해 수행됨을 특징으로 하는 반도체 패키지 제조방법.

청구항 10

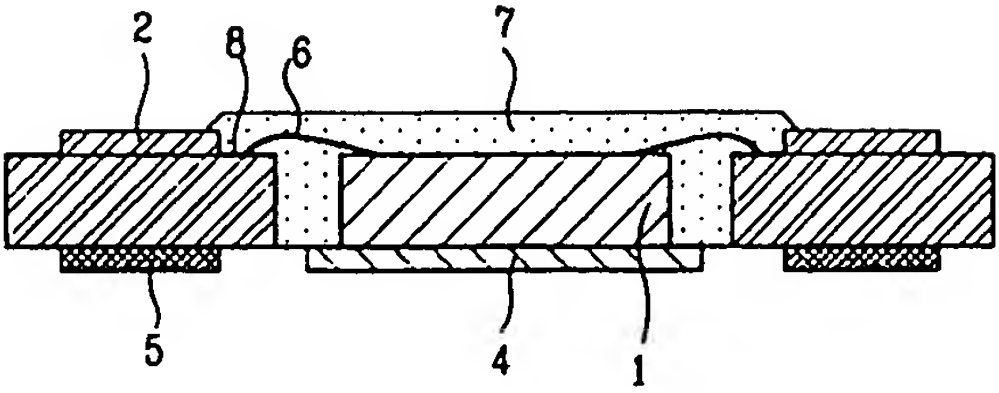
제 7 항에 있어서,

회로기판의 비어 영역에 도포되는 솔더에 의해 비어홀과 리드가 전기적으로 연결되도록 접합됨

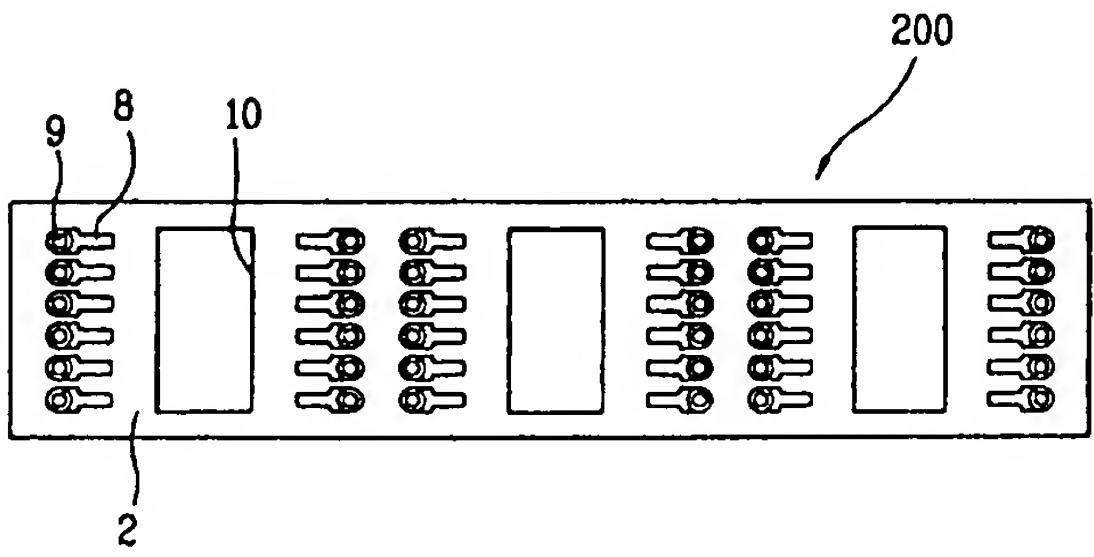
을 특징으로 하는 반도체 패키지 제조방법.

도면

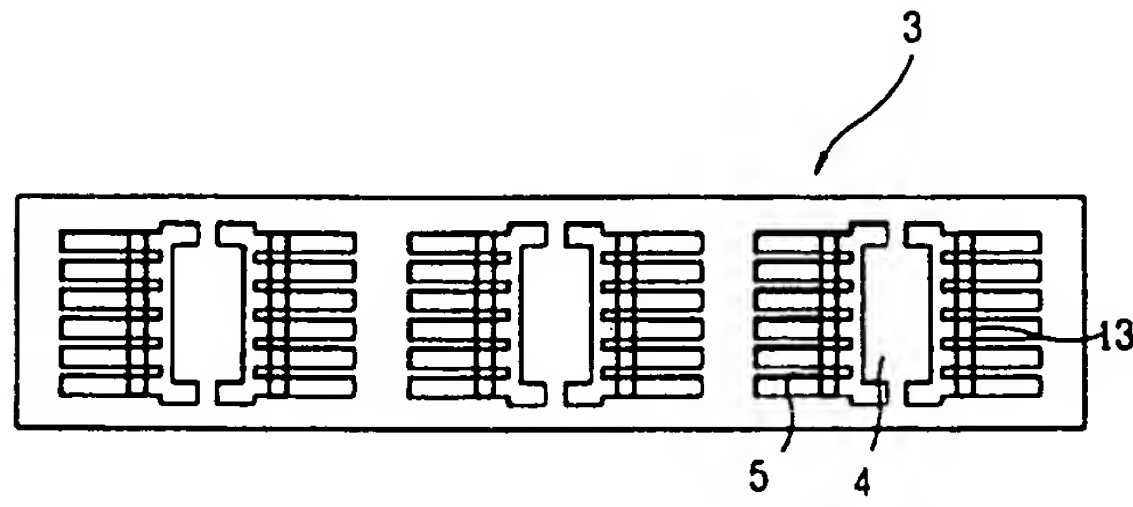
도면1



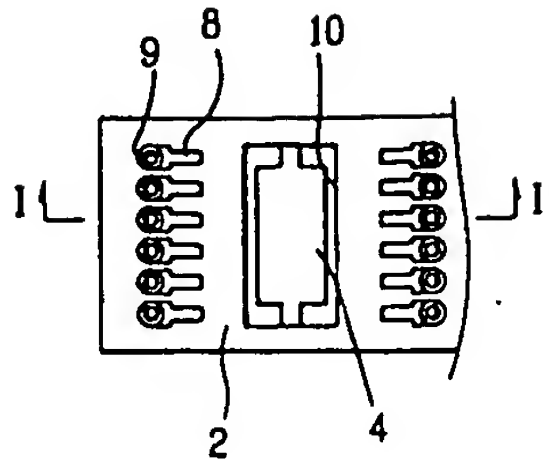
도면2a



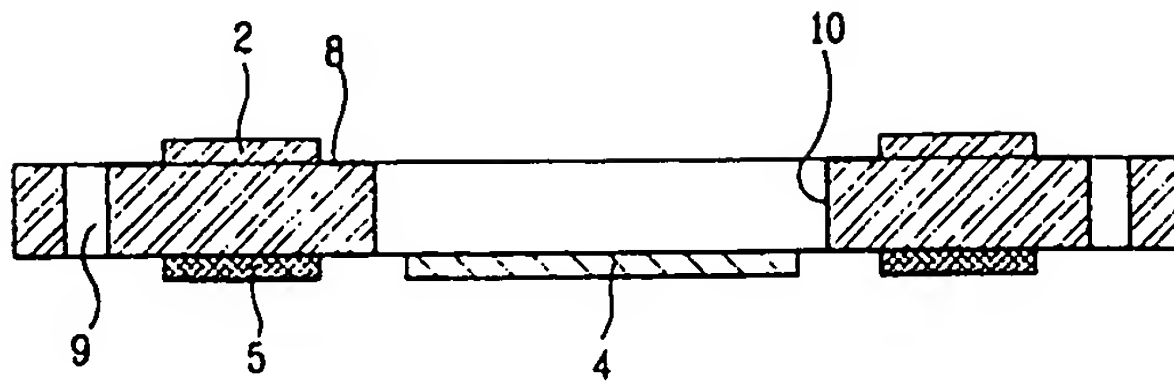
도면2b



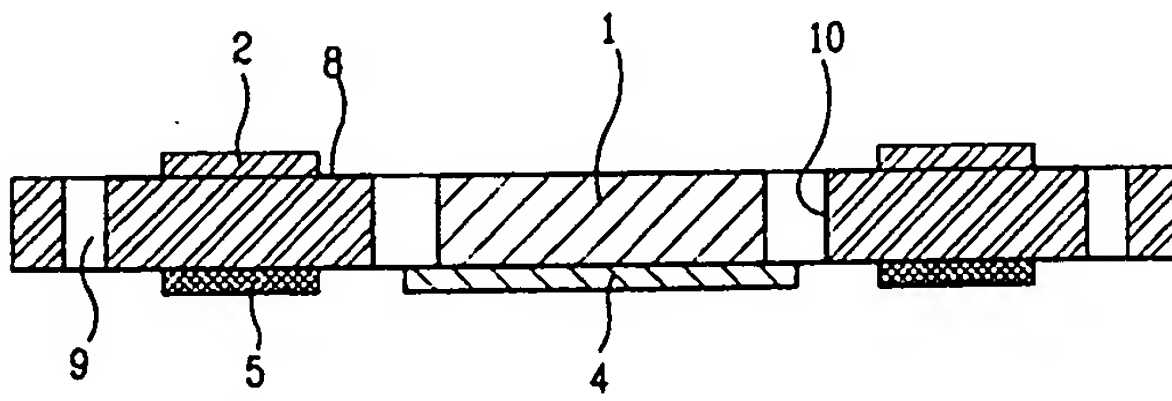
도면2c



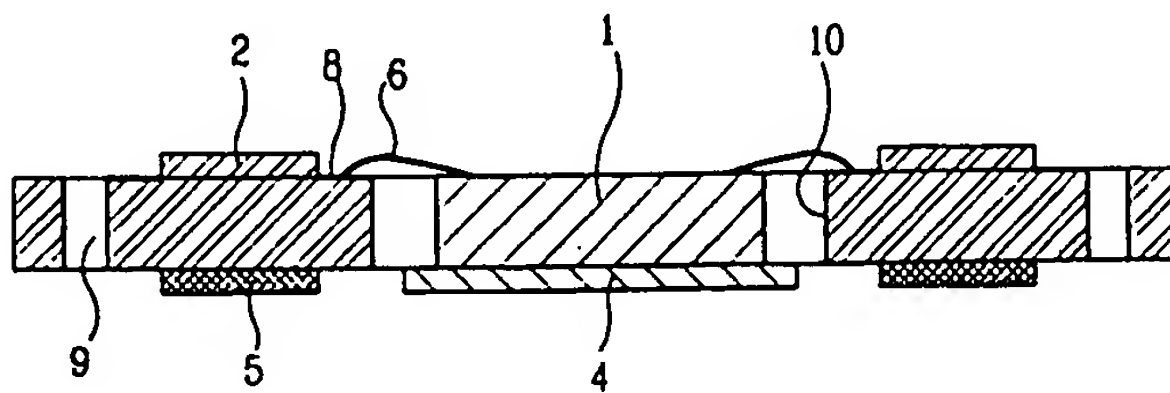
도면2d



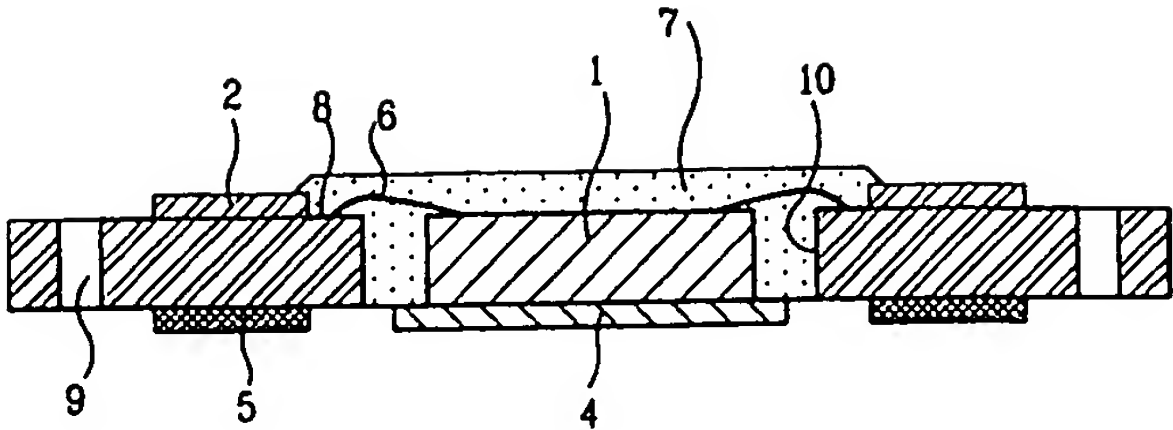
도면2e



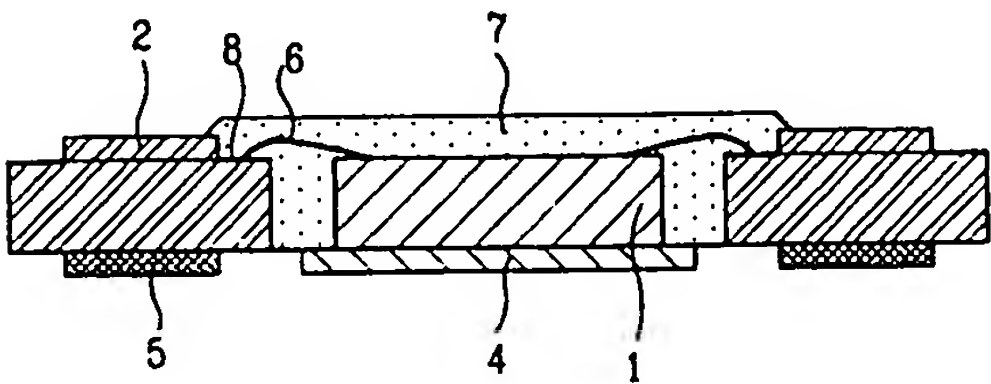
도면2f



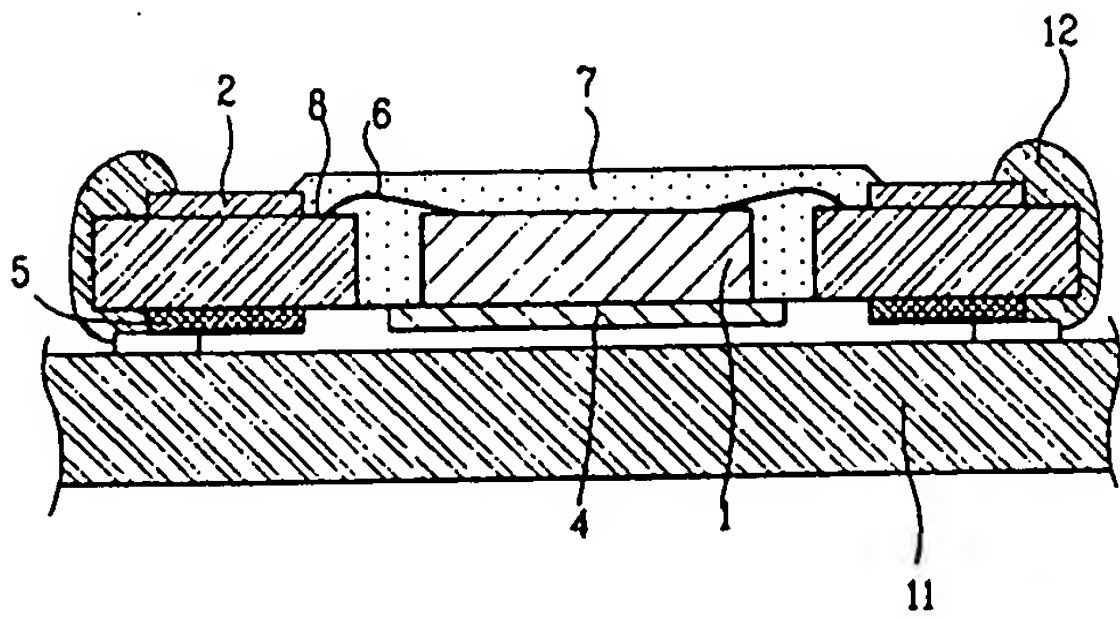
도면2g



도면2h



도면3



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.
H01L 23/50

(45) 공고일자

1999년09월01일

(11) 등록번호

10-0220154

(24) 등록일자

1999년06월18일

(21) 출원번호

10-1996-0009774

(65) 공개번호

특1997-0072358

(22) 출원일자

1996년04월01일

(43) 공개일자

1997년11월07일

(73) 특허권자

아남반도체주식회사, 김규현

대한민국

133-121

서울특별시 성동구 성수동 2가 280-8

(72) 발명자

허영욱

대한민국

경기도 성남시 분당구 수내동 55 못데아파트 132-1504

(74) 대리인

서만규

(77) 심사청구

심사관: 양희용

(54) 출원명

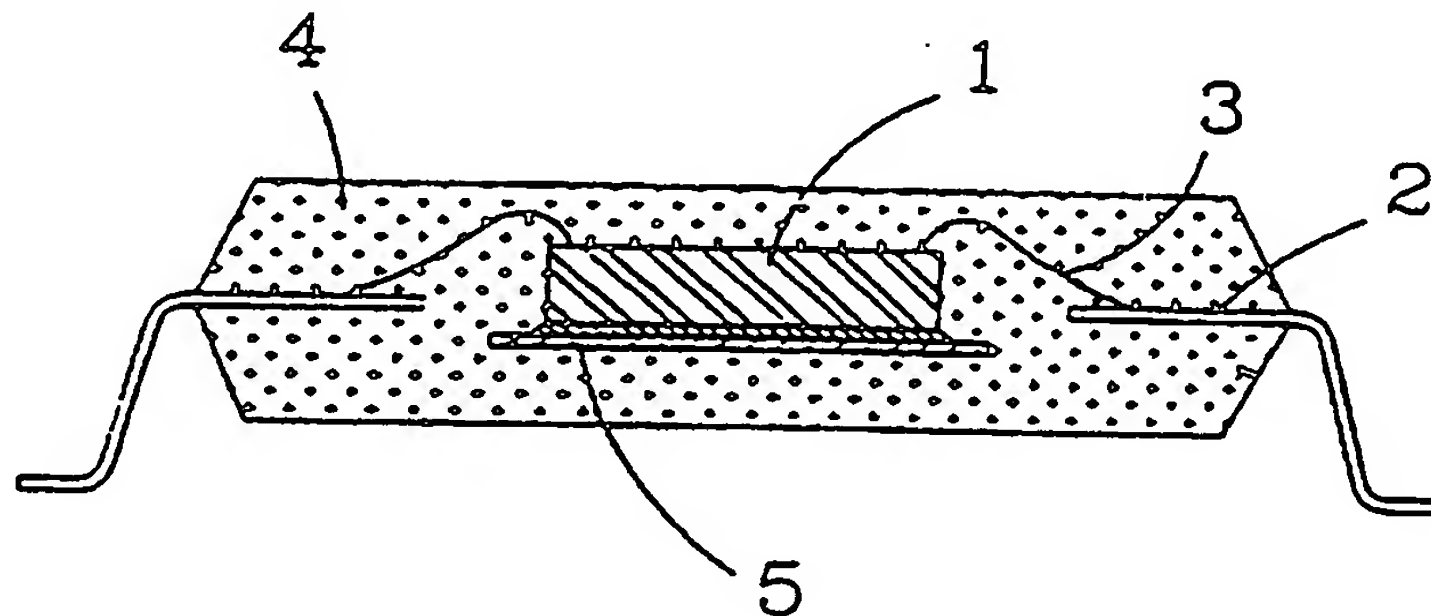
반도체 패키지의 제조방법

BEST AVAILABLE COPY

요약

본 발명은 반도체패키지의 제조방법 및 구조에 관한 것으로, 반도체칩의 저면층 외부로 노출시켜 회로동작시 발생하는 열방출의 효과를 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상 시키는 물론, 패키지의 윗면부 외측에 위치한 리드는 절단하고, 윗면부 내측에 위치한 리드는 그 저면층 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지이다.

대표도



명세서

[발명의 명칭]

반도체패키지의 제조방법

[도면의 간단한 설명]

제 1 도는 일반적인 반도체패키지의 구조를 보인 단면도

제 2 도는 본 발명에 적용되는 리드프레임을 도시한 평면도

제 3a 도 내지 제 3e 도는 본 발명의 제조 공정도

제 4a 도 내지 제 4d 도는 본 발명의 실시예에 의한 제조 공정도

제 5 도는 본 발명에 의한 반도체패키지의 저면도

제 6 도는 본 발명의 리드를 도시한 확대도

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체칩

20 : 리드프레임

21 : 리드

30 : 와이어

41 : 액상봉지재

42 : 컴파운드

[발명의 상세한 설명]

본 발명은 반도체패키지의 제조방법에 관한 것으로, 더욱 상세하게는 반도체칩의 저면을 외부로 노출시켜 회로동작시 발생하는 열방출의 효율을 극대화하여 패키지의 수명을 연장시키고, 신뢰성을 향상시키는 용본, 패키지의 용딩부 외측에 위치한 리드는 절단하고, 용딩부 내측에 위치한 리드는 그 저면을 외부로 노출시켜 마더보드에 실장시 리드의 저면에서 신호전달을 하도록 함으로서 실장면적을 최소화 할 수 있는 반도체패키지의 제조방법에 관한 것이다. 일반적으로 반도체패키지는 제 1 도에 도시된 바와 같이, 리드프레임의 칩탑재판(2a)상에 에폭시 어드히시브(Epoxy Adhesive)를 도포하여 반도체칩(1)을 정착시키고, 반도체칩(1)상의 칩패드와 리드프레임의 리드(2)를 와이어(3)로 본딩한 후, 컴파운드(4)로 용딩하여 반도체패키지를 제조하였다. 그러나, 이러한 구조는 컴파운드(4) 외부로 리드(2)를 노출시켜 소정의 형태로 리드(2)를 절단하여 입출력 단자로 사용하였으므로, 외부로 노출된 리드(2)에 충격이 가해져 쉽게 변형되는 이유로 유지 관리가 어려우며 패키지의 크기만 크게 만드는 요인이 되었다. 또한, 반도체칩(1)을 리드프레임의 칩탑재판(2a)에 정착시킬때 에폭시 어드히시브를 사용하기 때문에 에폭시와 반도체칩(1)의 인터페이스(Interface)부분에서 계면박리 및 크랙(Crack)을 발생시키는 요인이 되었던 것이다. 뿐만 아니라, 반도체칩(1)이 컴파운드(4)의 내부에 위치하기 때문에 열방출이 되지 않아 패키지의 수명을 단축시키는 등의 문제점이 있었던 것이다. 따라서, 본 발명은 이러한 문제점을 해소하기 위하여 발명된 것으로, 칩탑재판이 구비되지 않은 리드프레임으로 패키지를 제조함으로써 반도체칩과 칩탑재판과의 계면박리 및 용량을 방지하고, 패키지의 신뢰성을 향상시킬수 있도록 된 반도체패키지 제조방법을 제공함에 그 목적이 있다. 이러한 본 발명의 목적을 달성하기 위해서는 다수의 리드가 형성되고, 상기 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 형성하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시켜 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로 부터 보호하기 위하여 용딩하는 단계와; 상기 단계후에 용딩영역 외각에 위치한 리드를 절단하는 단계로 이루어진 것을 특징으로 하는 반도체패키지의 제조방법에 의해 가능하다. 이하, 본 발명을 첨부도면을 참조하여 상세히 설명하면 다음과 같다. 제 2 도는 본 발명에 사용되는 리드프레임용 도시한 평면도로서, 본 발명의 리드프레임(20)에는 반도체칩(10)이 부착되는 칩탑재판이 형성되어 있지 않은 것을 알 수 있다. 제 3a 도 내지 제 3e 도는 본 발명의 제조 공정을 나타낸 도면으로서, 제 3a 도는 칩탑재판이 없는 리드프레임(20)에 기존의 다이본딩시 반도체칩(10)이 위치되는 부분, 즉 다수의 리드(21) 중앙부에 반도체칩(10)을 위치시킨 상태를 도시한 것이고, 제 3b 도는 이와같이 반도체칩(10)이 다수의 리드(21)의 중앙부에 위치한 상태에서 와이어(30) 본딩을 실시한 상태를 도시한 것이다. 이때, 상기 반도체칩(10)은 제 7 도에 도시된 바와 같이 히터플렉(H)의 상부에 안착되는데, 이 히터플렉(H)에는 배움 홈(V : Vacuum Hole)이 형성되고, 상기 배움 홈(V)로 공기를 빨아들여 반도체칩(10)을 고정 지지함으로써 와이어 본딩 중에 반도체칩(10)이 흔들림을 방지하는 것이다.

이와 같이 리드프레임과 반도체칩이 와이어 본딩되면, 상기 리드프레임(20)을 운반 및 취급시에는 상기 반도체칩과 리드프레임이 와이어 본딩에 의해 서로 연결되어 있으므로 반도체칩(10)이 분리되지 않는 것이다. 제 3c 도와 제 3d 도는 와이어 본딩된 리드프레임(20)에 용딩을 실시하여 반도체칩(10)을 외부의 산화 및 부식으로 부터 보호하는 것으로, 여기서는 액상 봉지재(41)를 사용하여 본딩한 상태를 도시한 것이다. 이때, 상기 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용딩영역에 미리 댐(411)을 형성한 후, 액상 봉지재(41)로 용딩을 실시하면 액상 봉지재(41)가 흘러 넘치는 것을 방지할 수 있다. 이와 같이 용딩을 실시한 다음에는 150℃ 이상의 고온에서 수시간 노출시켜 액상 봉지재(41)를 경화시키고, 제 3e 도와 같이 용딩영역의 외부에 위치한 리드(21)를 절단하여 반도체패키지를 완성하는 것이다. 상기 제조 공정중 용딩을 실시할 때 액상 봉지재(41)를 사용하지 않고, 액상 용드 컴파운드(42)를 사용하여 제 4a 도 내지 제 4d 도에 도시된 바와같이 용딩을 실시할 수 있는바, 컴파운드(42)를 사용하여 용딩을 실시할 경우에는 용드금형이 필요하게 되고, 용딩영역의 외각으로 댐(411)을 형성할 필요는 없다. 이때에도 용드 컴파운드(42)로 용딩공정과 경화공정을 거친 후, 용딩영역의 외각으로 돌출된 리드(21)를 절단하는 것이다. 이와 같은 제조공정을 거쳐 완성된 반도체패키지는 제 5 도에 도시된 바와 같이 저면에 반도체칩(10)과 다수의 리드(21)가 노출된 상태로 형성되는 것으로, 반도체칩(10)의 저면이 외부로 직접 노출되기 때문에 열방출이 우수하며, 다이본딩 공정을 거치지 않음으로서 계면박리가 발생되지 않는 것이다. 또한, 이와 같은 반도체패키지는 용딩영역의 외각으로 위치되는 리드(21)가 없어 취급시 리드(21)가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 일면에서 이루어짐으로 마더보드에 실장시 그 크기를 최소화 할 수 있는 것이다. 또한, 상기 반도체패키지의 저면에는 그라인드(Grind)를 실시하여 패키지의 저면에서 발생할 수 있는 플래쉬(Flash)를 제거할 수 있다. 즉, 용딩 후에 플래쉬(용드 찌꺼기)를 제거하는 플래쉬 제거단계를 추가할 수 있다. 또한, 제 6 도와 같이 본발명의 반도체패키지는 용딩영역 외각에 위치한 리드(21)를 절단시 리드(21)의 절단을 용이하게 하기 위하여 절단되는 부위에 노치(211 : Notch)를 형성할 수 있다. 이와 같은 제조방법에 의해 형성된 반도체패키지의 구조는, 저면이 외부로 직접 노출되는 반도체칩(10)과, 상기 반도체칩(10)의 외측에 위치되고 용딩영역을 벗어나지 않으며 저면이 외부로 노출되어 저면에서 신호의 입출력이 이루어지는 다수의 리드(21)와, 상기 반도체칩(10)과 리드(21)를 연결시켜주는 와이어와, 상기 반도체칩(10), 리드(21) 및 와이어(30)를 외부 환경으로부터 보호하기 위하여 용딩된 액상 봉지재(41) 또는 컴파운드(42)로 구성된 것이다.

여기서, 상기 액상 봉지재(41)로 용딩한 경우에는 액상 봉지재(41)가 흘러 넘치는 것을 방지하기 위하여 용딩영역의 외각으로 댐(411)을 형성한다. 또한, 상기 용딩된 액상 봉지재(41) 및 컴파운드(42)는 리드(21) 및 반도체칩(10)의 상부만 용딩되는 것이며, 상기 반도체패키지의 저면에는 플래쉬(Flash)의 제거를 위해 그라인드(Grind)를 실시할 수 있다. 이와 같은 구성의 반도체패키지는 저면으로 반도체칩과 다수의 리드가 직접 노출되므로 열방출이 우수하며 계면박리가 발생되지 않고, 용딩영역의 외각으로 위치되는 리드가 없어 취급시 리드가 휘거나, 손상되는 것을 방지할 수 있으며, 패키지의 터미널(입출력단자) 부분이 패키지의 일면에서 이루어짐으로 마더보드에 실장시 그 크기를 최소화 할 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1.

(정정) 다수의 리드가 형성되고, 이 다수의 리드 중앙부에는 칩탑재판이 없는 리드프레임을 제공하는 단계와; 상기 리드프레임의 다수의 리드 중앙부에 반도체칩을 위치시키고, 상기 반도체칩은 배움 홈(Vacuum Hole)이 형성된 히터플렉에 안착시킨 후, 상기 배움 홈로 공기를 빨아들여 반도체칩을 지지 고정한 상태에서 와이어본딩을 실시하는 단계와; 상기 와이어본딩된 리드, 반도체칩 및 와이어를 외부의 산화 및 부식으로 부터 보호하기 위하여 용딩하는 단계와; 상기 단계후에 용딩영역 외각에 위치한 리드를 절단하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 2.

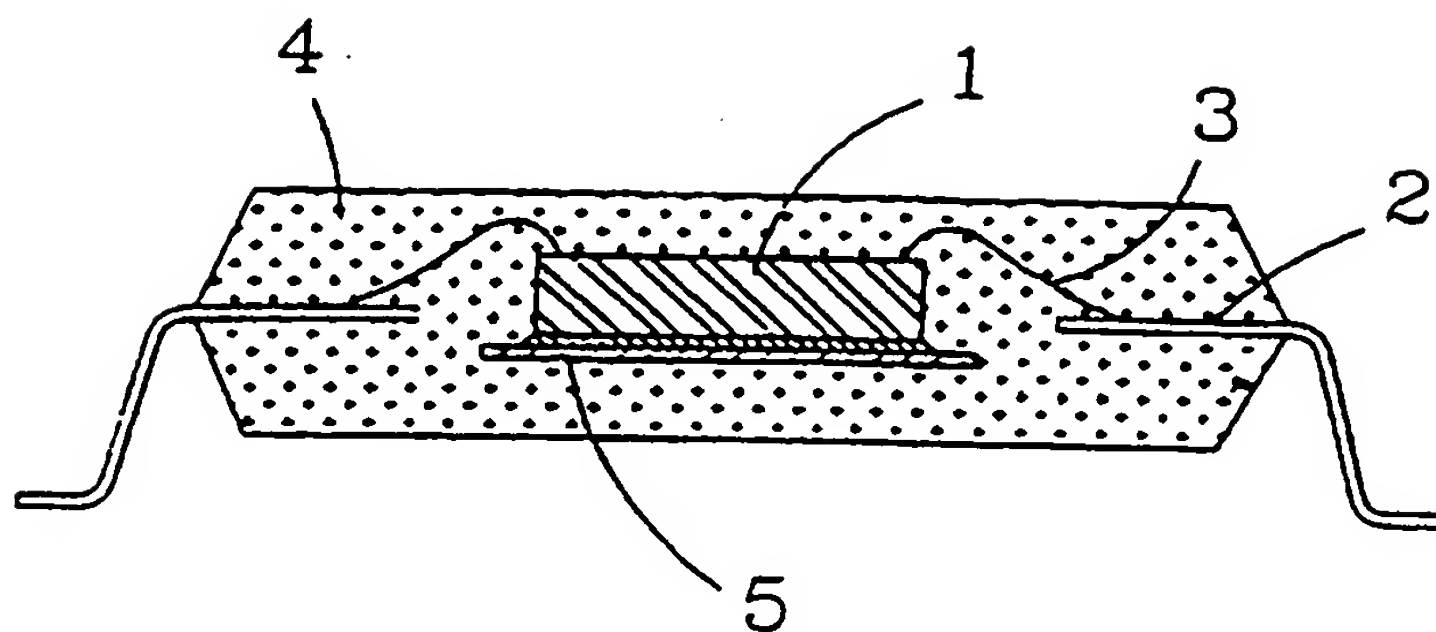
제 1 항에 있어서, 상기 용딩하는 단계 후에는 반도체 패키지의 저면에 그라인드(Grind)를 설치하여 플래쉬(Flash)를 제거하는 플래쉬 제거 단계를 더 포함하여 이루어진 것을 특징으로 하는 반도체패키지의 제조방법.

청구항 3.

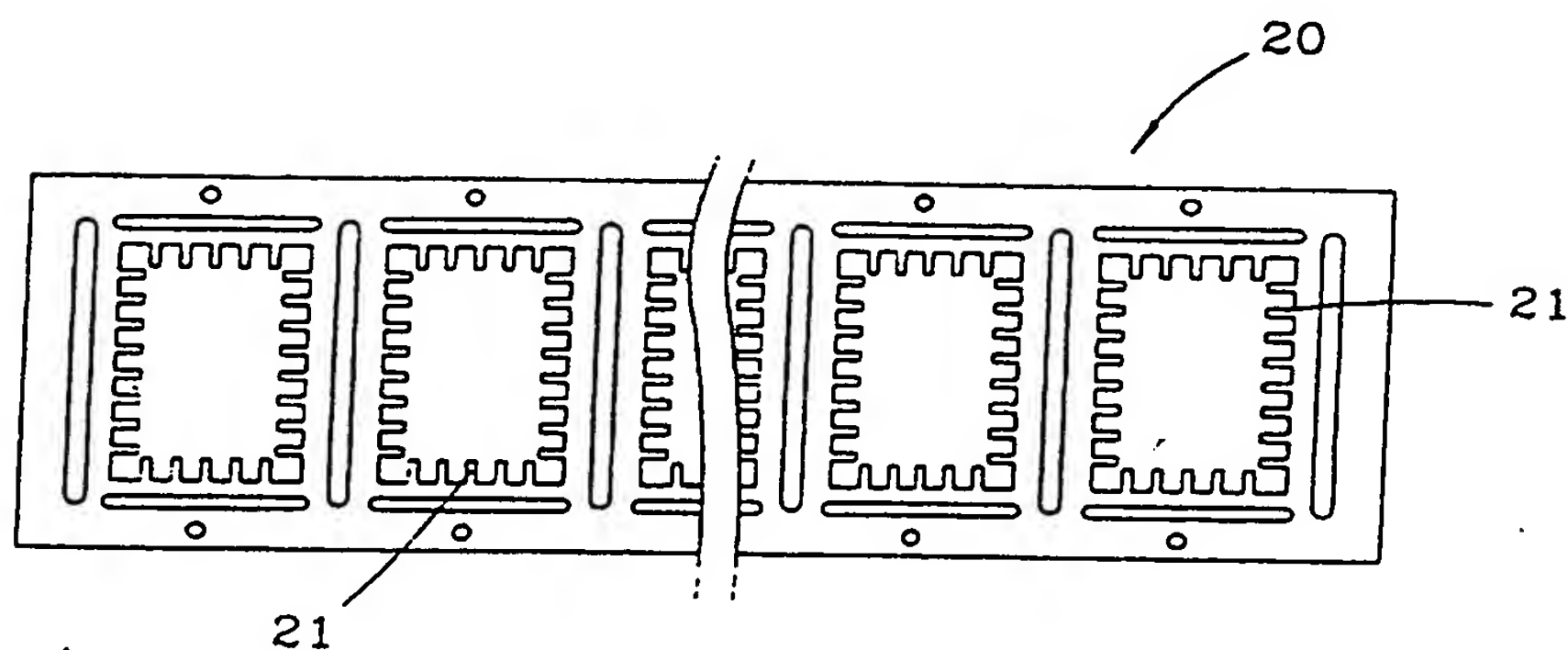
제 1 항에 있어서, 상기 용딩영역의 외각에 위치한 리드를 절단하는 단계는, 상기 리드의 절단되는 부위에 노치(Notch)를 형성하여 상기 리드가 용이하게 절단되도록 한 것을 특징으로 하는 반도체패키지의 제조방법.

도면

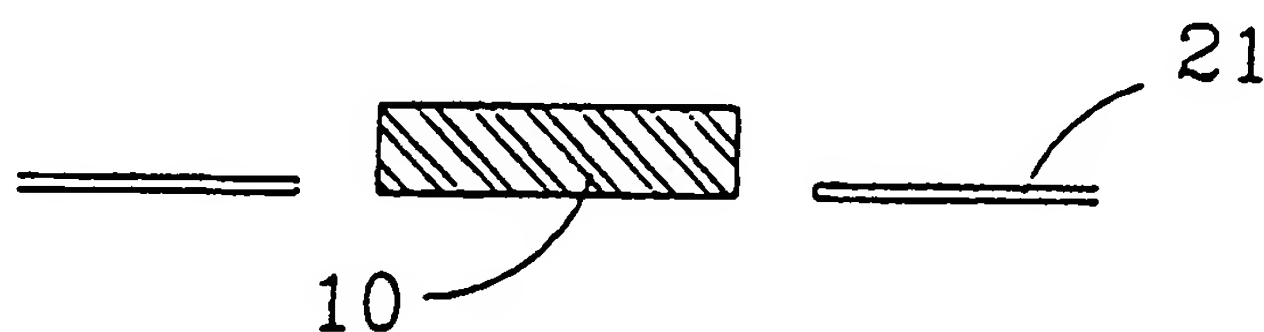
도면 1



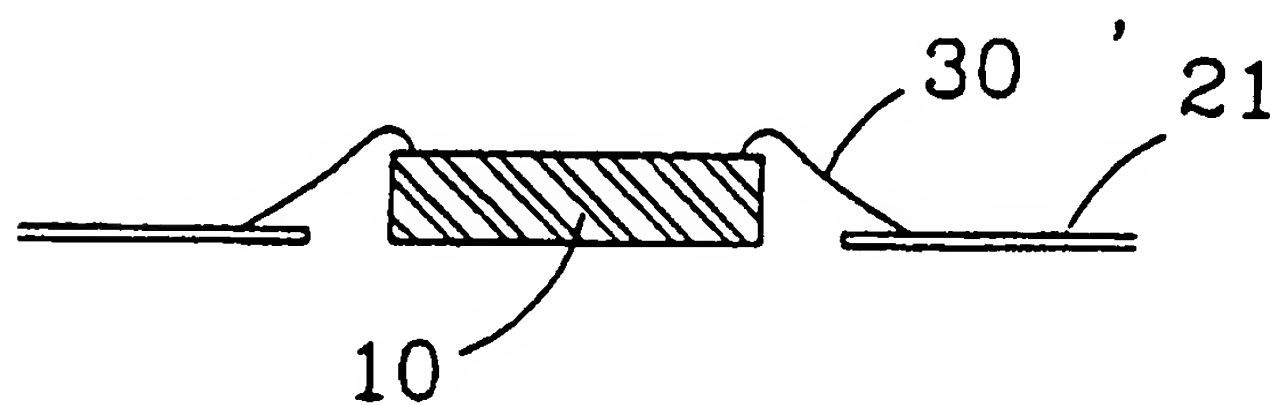
도면 2



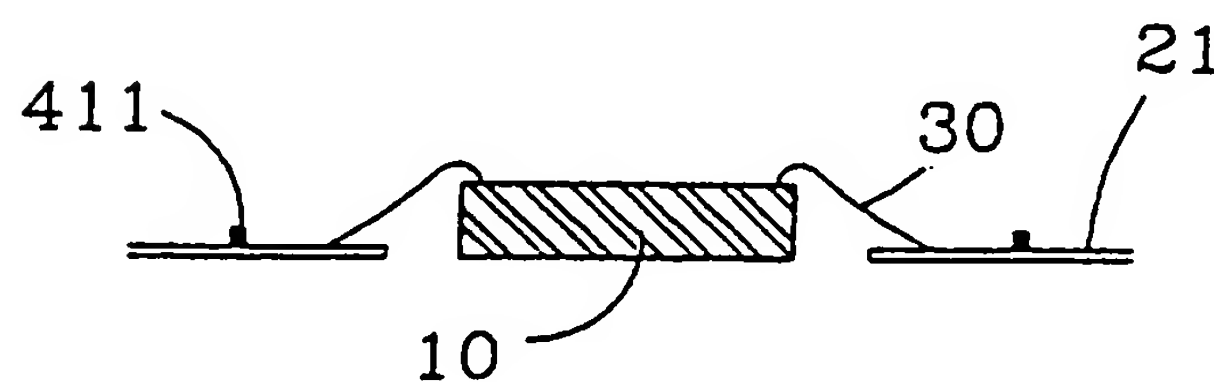
도면 3a



도면 3b

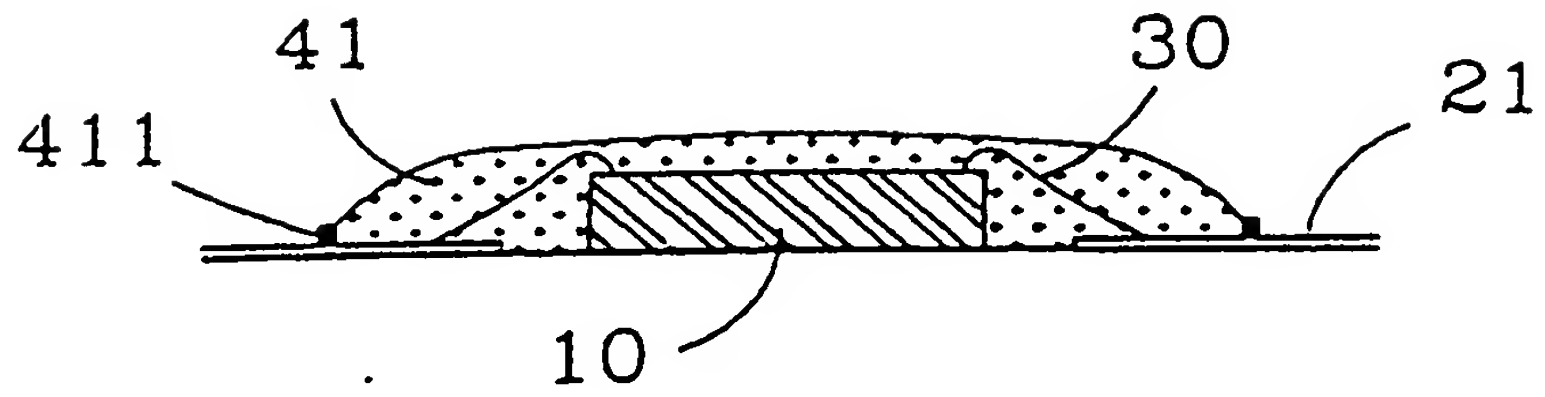


도면 3c

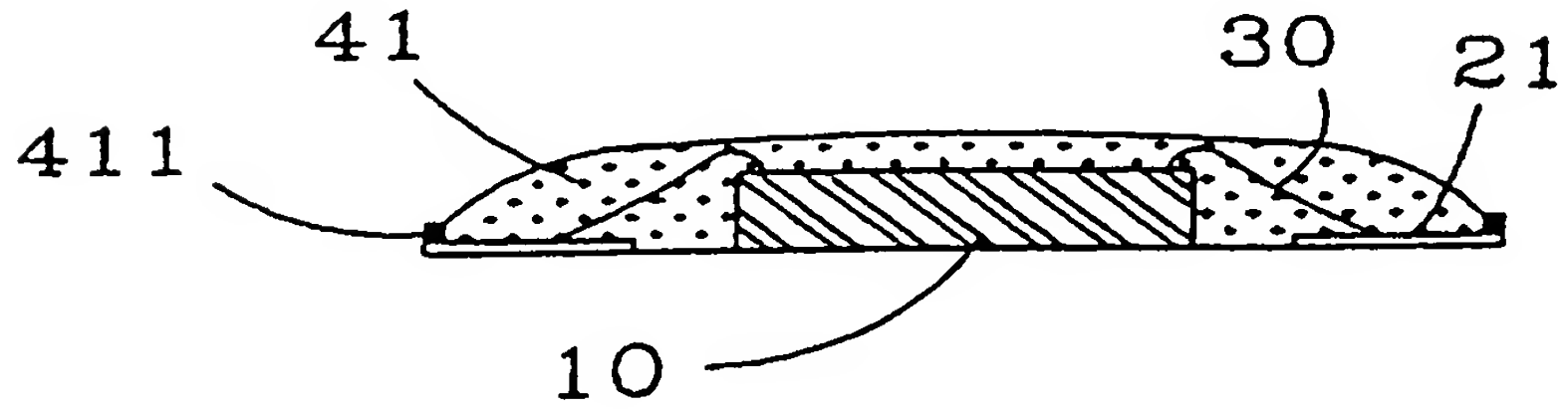


BEST AVAILABLE COPY

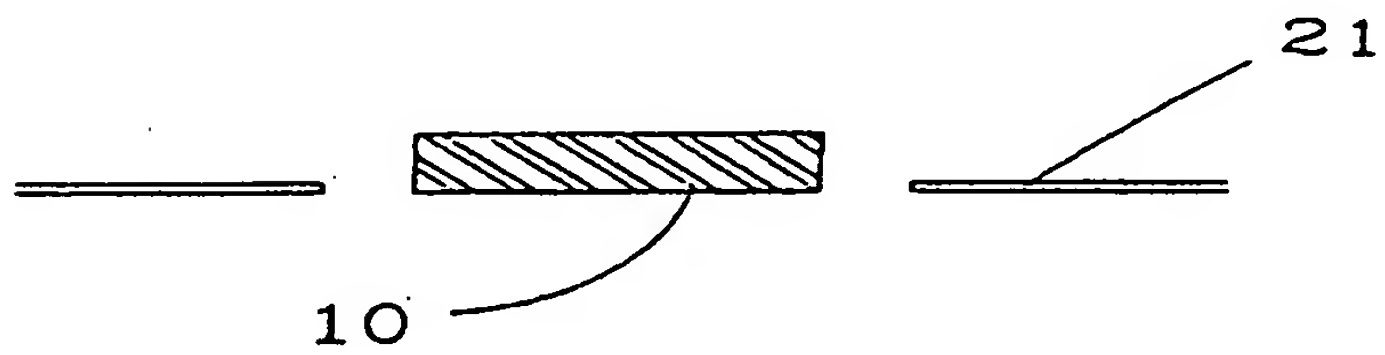
도면 3d



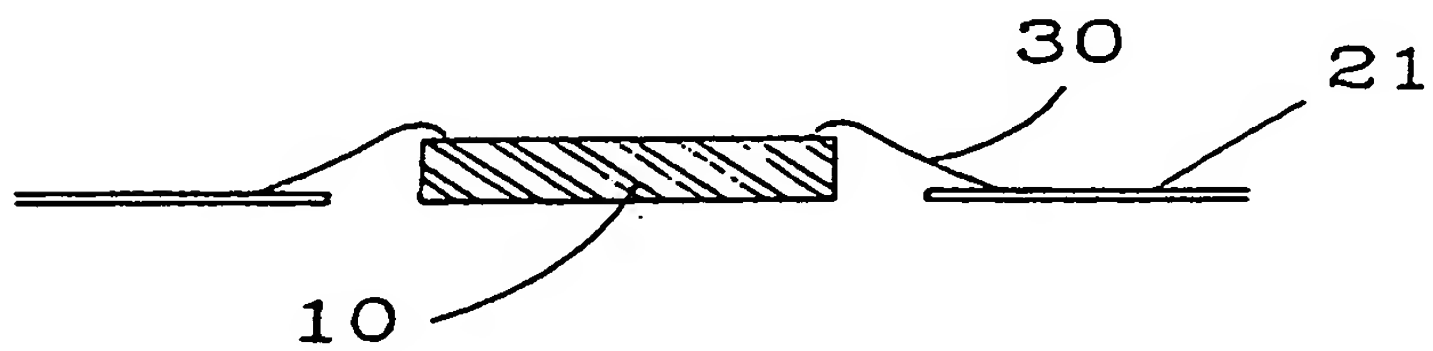
도면 3e



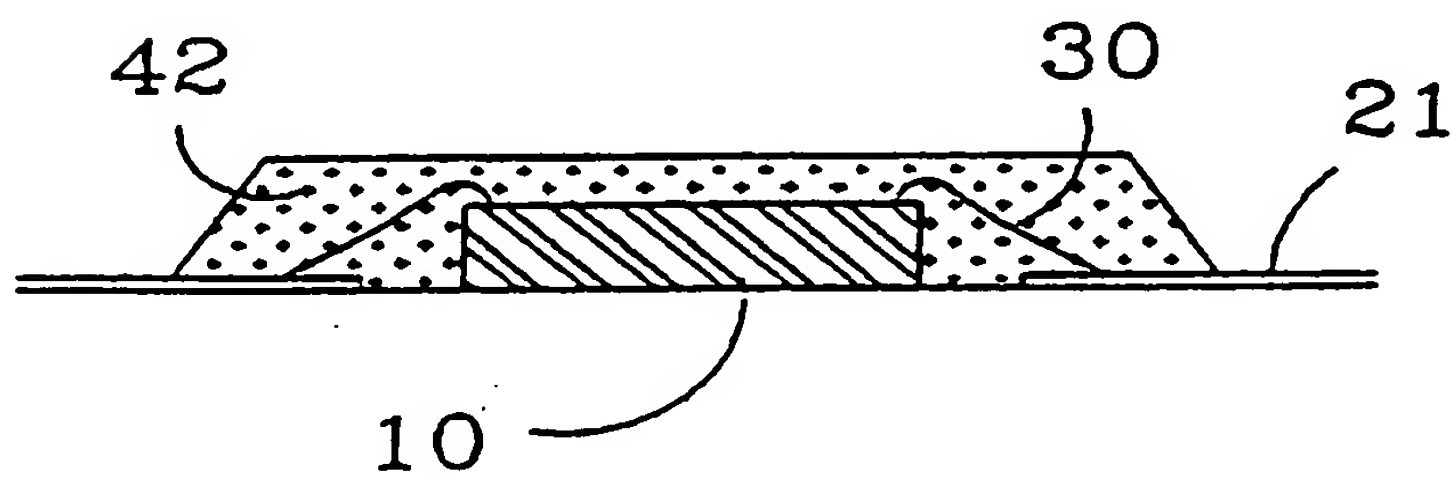
도면 4a



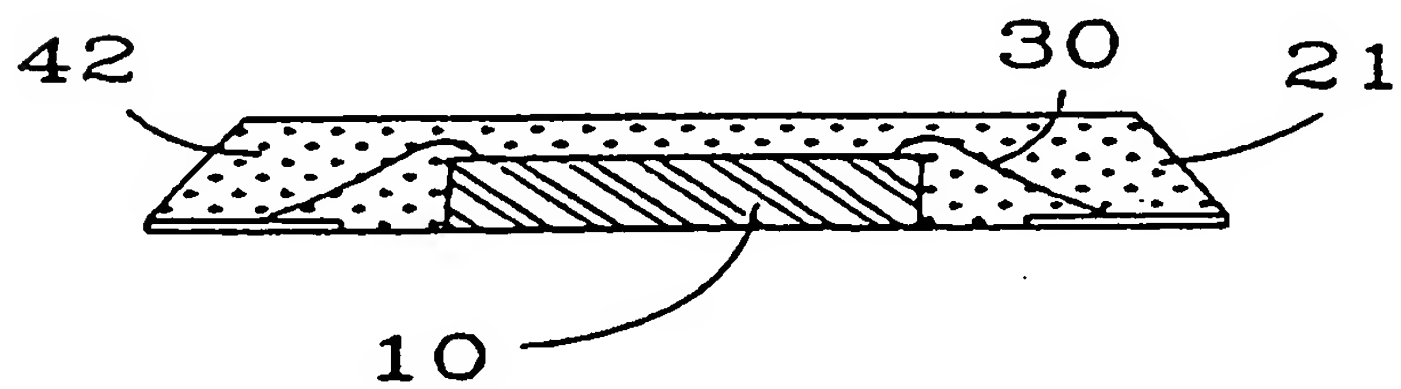
도면 4b



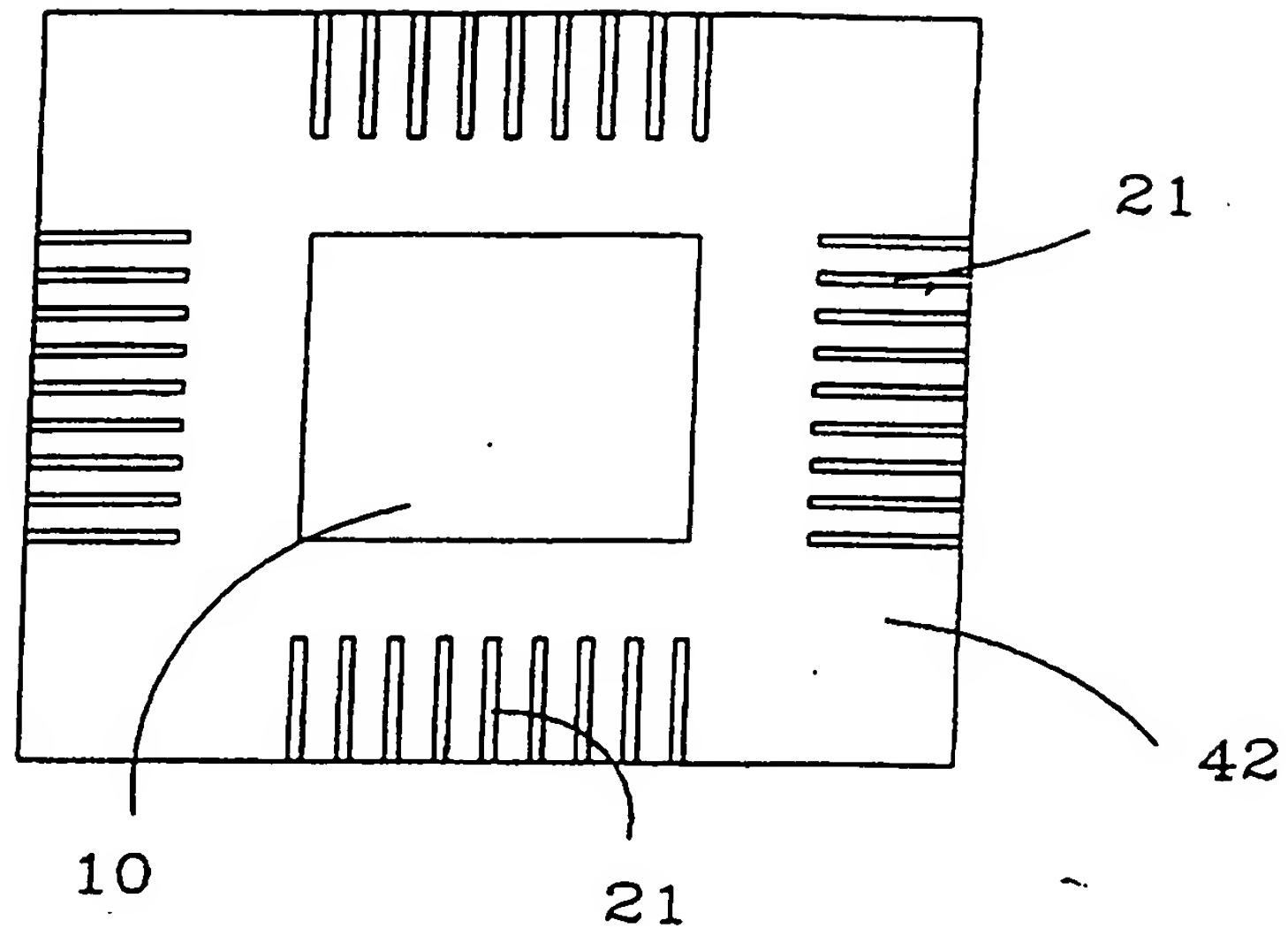
도면 4c



도면 4d

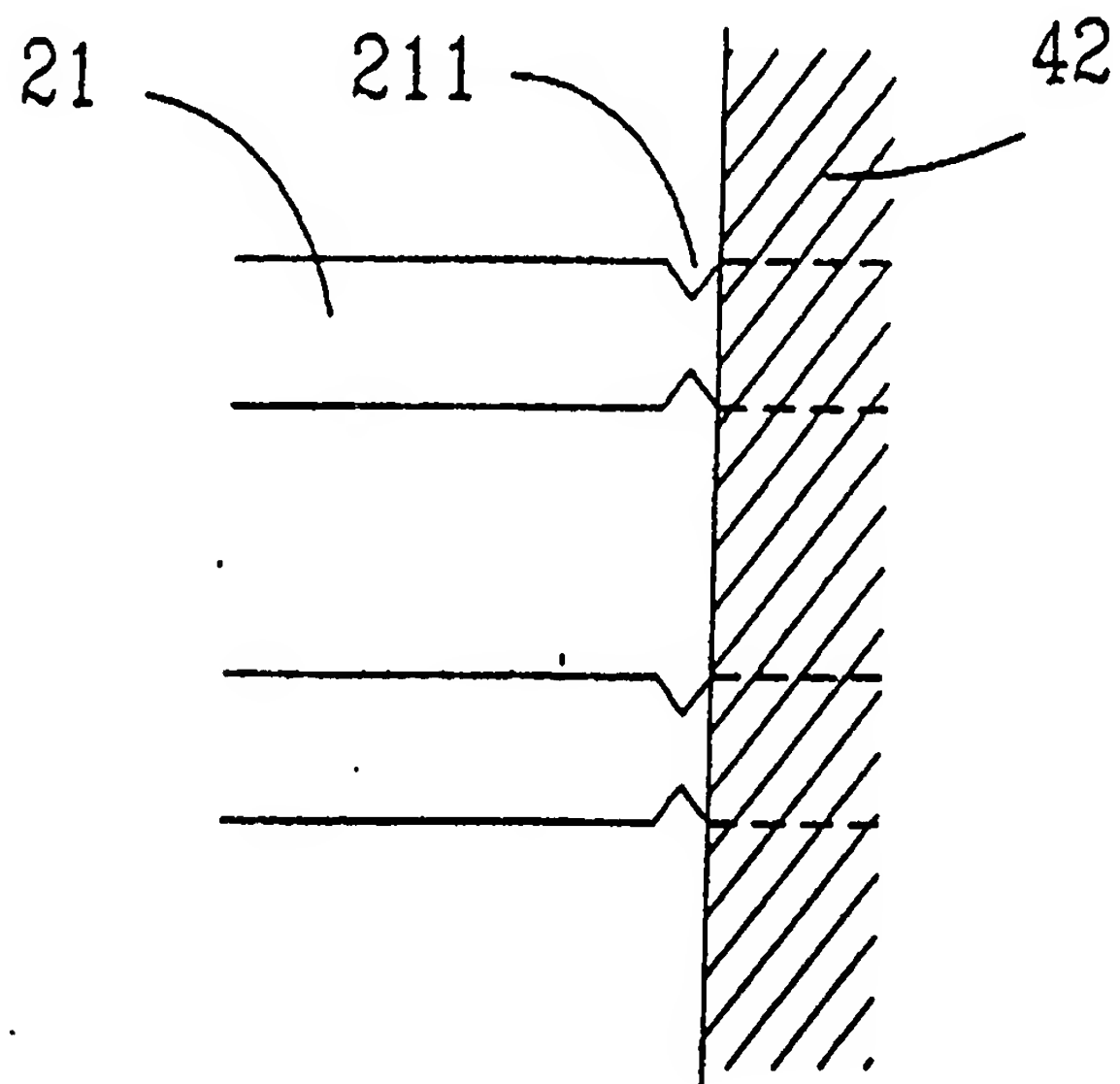


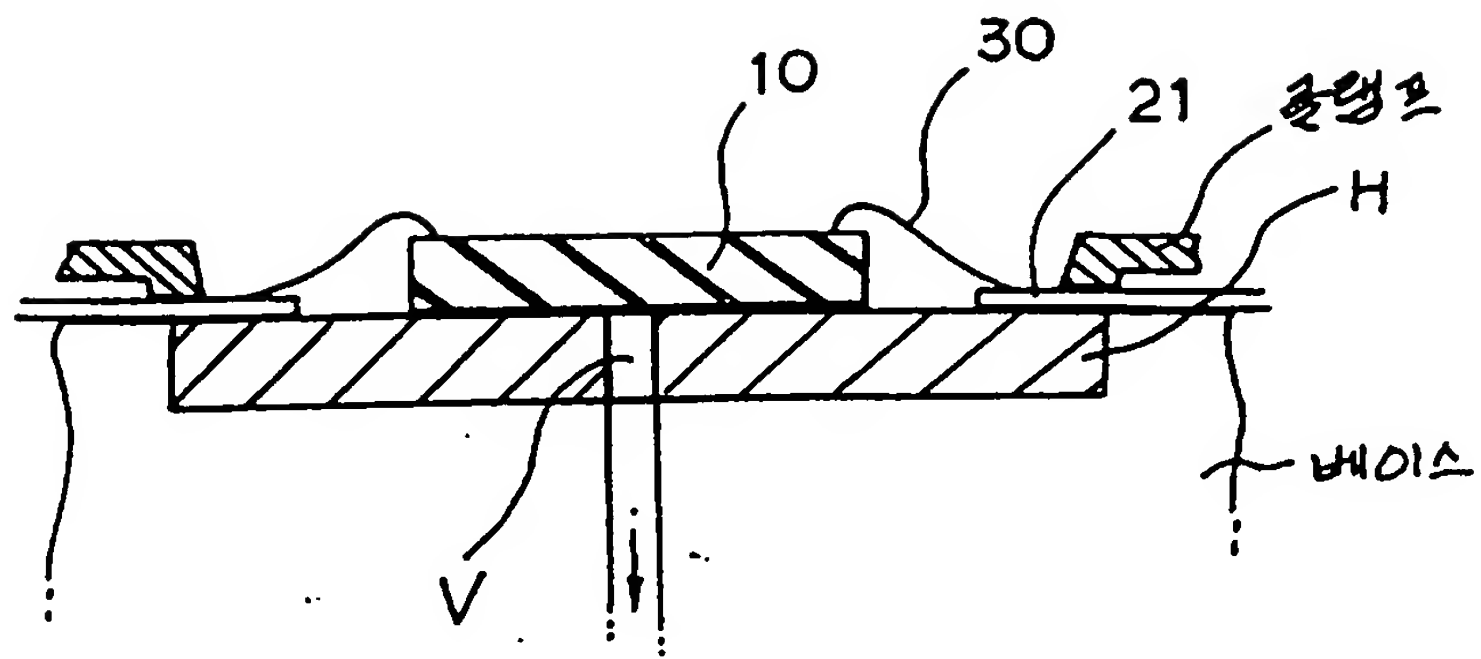
도면 5



BEST AVAILABLE COPY

도면 6





BEST AVAILABLE COPY